

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

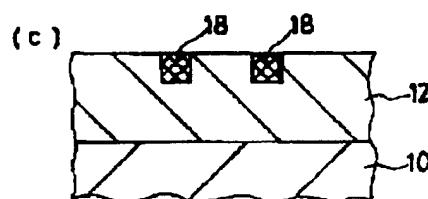
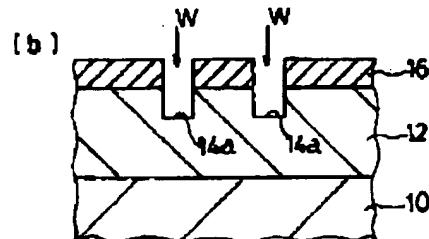
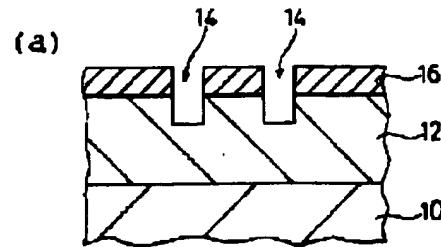
# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07078815  
 PUBLICATION DATE : 20-03-95

APPLICATION DATE : 30-06-93  
 APPLICATION NUMBER : 05160826

APPLICANT : KAWASAKI STEEL CORP;  
 INVENTOR : MIYAMOTO IKUO;  
 INT.CL. : H01L 21/3205 H01L 21/28 H01L 21/285  
 TITLE : SEMICONDUCTOR DEVICE AND ITS  
 MANUFACTURE



ABSTRACT : PURPOSE: To provide a semiconductor device and its manufacturing method wherein the coverage of a step-difference in a fine device is sufficiently ensured, the wiring formation process can be simplified, and low resistance wiring of high reliability is formed.

CONSTITUTION: By an ion implantation method, W ions are implanted in the bottom part 14a of a wiring trench 14. This ion implantation is performed by using resist 16 as a mask which resist has been stuck at the time of forming the wiring trench 14. As the result, a layer containing W is formed in the bottom part 14a of the wiring trench 14.

COPYRIGHT: (C)1995,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-78815

(43)公開日 平成7年(1995)3月20日

(51)Int.Cl.<sup>7</sup>  
H01L 21/3205  
21/28  
21/285

識別記号 21/3205  
301 R 7376-1M  
C 7376-1M

F 1

技術表示箇所

審査請求 未請求 請求項の数2 O.L (全4頁)

(21)出願番号 特願平5-160626

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28  
号

(22)出願日 平成5年(1993)6月30日

(72)発明者 宮本 郁生

東京都千代田区内幸町2丁目2番3号 川  
崎製鉄株式会社東京本社内

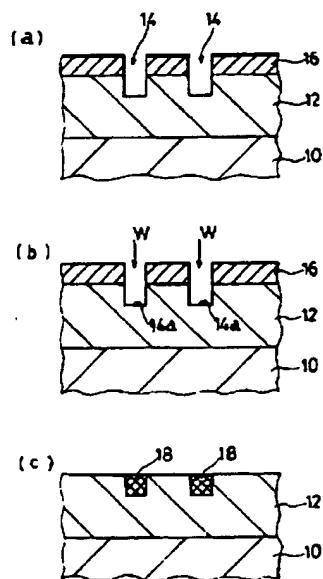
(74)代理人 弁理士 小杉 佳男 (外2名)

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】微細デバイスの段差部における被覆性を充分確保し、しかも、配線形成工程の単純化が達成できると共に低抵抗で信頼性の高い配線を有する半導体装置及びその製造方法を提供する。

【構成】イオン注入法により配線溝14の底部14aにWイオンを打ち込む。このイオン注入は、配線溝14を形成した時に塗布したレジスト16をそのままマスクにして行う。この結果、配線溝14の底部14aにWを含んだ層が形成される。





れば、コンタクト孔と配線溝にCuやCu合金を選択成長させてCu系配線を形成するため、段差被覆性のよい配線が形成でき、段差部における局所的な電流密度の上昇などによる配線信頼性の低下を防止できる。また、予め配線溝を形成し、この配線溝の底部に、CuやCu合金の成長核になる種金属を含む層を形成することにより、配線溝にCuやCu合金を選択成長させてCu系配線を形成する。このため、Cuの困難な配線加工を行う必要がなく、ばらつきが小さい安定な線幅を有する配線を形成することができる。

## 【0012】

【実施例】以下、図面を参照して本発明の半導体装置及びその製造方法の一実施例を説明する。図1は、半導体装置の製造方法を示す部分断面図である。先ず、図1(a)に示されるように、周知の方法で半導体基板10上に絶縁膜とするSiO<sub>2</sub>膜12を形成し、コンタクト孔(図示せず)を形成する。その後、周知の等离子刻法により配線溝14を形成する。この配線溝の深さは、設計による配線厚と同等にし、3000～6000Å程度の深さとする。

【0013】次に、図1(b)に示されるように、イオン注入法により配線溝14の底部14aにW(タンクステン)イオンを打ち込む。このイオン注入は、配線溝14を形成した時に塗布したレジスト16をそのままマスクとして行う。この結果、配線溝14の底部14aにWを含んだ層が形成される。次に、半導体基板10を、反応炉内温度が200～350℃のCVD装置(図示せず)に挿入し、このCVD装置内に、原料ガスとしてC<sub>2</sub>H<sub>2</sub>(117a)2-ヘキサフルオロアセチルアセトネイト鋼及びH<sub>2</sub>ガスを導入、20～80mm Torrにし、2～4分間の処理を行う。これにより、図1(c)に示されるように、3000～6000Å程度のCu層18が配線溝14に選択的に形成される。この工程では、図1(b)に示される工程において配線溝14の底部14aに打ち込まれたWがCuの成長核として働くため、配線溝14にCuが選択的に成長する。また、コンタクト孔(図示せず)の底部は、Cu配線が半導体基板10が露出しているため、Wを注入しなくとも、Cuが選択的に成長する。

【0014】以上の工程後、絶縁膜を形成し、さらに図1に示される工程を繰り返すことにより、多層配線構造を有する半導体装置を形成することができる。上記の方法で製造された半導体装置は、従来のAl系配線の半導体装置に比べ配線抵抗を30～40%下げることができる。例えば純Alで配線を形成した場合の抵抗3.3μΩcmに対し、純Cuで配線を形成すると抵抗2.6μΩcmとなる。さらに、配線幅0.8μm、配線厚み0.6μm、電流密度5×10<sup>2</sup>A/cm<sup>2</sup>の条件で寿命試験をすると、Al合金(A1-0.5wt%Cu)で形成されたAl配線に比べ数10倍～100倍配線寿命が向上する。また、鋼の加工工程を伴わないため、ばらつきの小さい均一な配線幅を得ることができる。

【0015】本実施例では、図1(b)に示す工程で、鋼の成長核として、Wを用いたが、Mo、Cu、Al等の遷移金属及び金属性の強い典型元素を用いてもよい。また、イオン注入により金属を打ち込んだが、イオン注入法のみならずWF<sub>6</sub>等のガスを利用した表面処理法、ウェット処理による表面処理等により表面状態を変えることによる方法を用いてもよい。

## 【0016】

【発明の効果】以上説明したように本発明によれば、配線溝の底部に種金属を含む層を形成することにより、コンタクト孔だけではなく配線全部を、CuもしくはCu合金を選択成長させて形成したため、Cuの配線加工の問題を排除し高信頼性の低抵抗Cu系配線を得ることができ、しかも微細デバイスの段差部における被覆性を充分確保できる。

## 【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の製造方法を示す部分断面図である。

## 【符号の説明】

- 10 半導体基板
- 12 SiO<sub>2</sub>膜
- 14 配線溝
- 14a 底部
- 16 レジスト
- 18 Cu層

【図1】

